

Geplant ist auch ein grafisches Frontend für die komfortable Steuerung des USB-TPLE sowohl unter Linux als auch unter Windows. Um die Plattformunabhängigkeit zu erreichen, wird diese Software mit der QT Bibliothek von Nokia erstellt werden.

## Entwicklungsstatus

Das gesamte Projekt befindet sich derzeit noch in einem sehr frühen Entwicklungsstatus.

Bis jetzt fertiggestellt ist der Hardwareentwurf sowie die Produktion des ersten Prototypen. Die Entwicklung der CPLD- und Mikrocontroller-Firmware befindet sich noch in der Entwurfsphase und ist daher noch nicht Funktionsfähig.

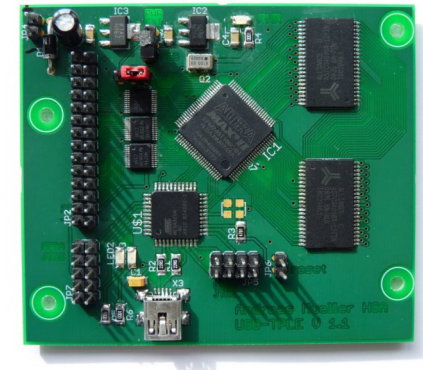
Der aktuelle Status kann auf der Projektseite eingesehen werden:

`sta.informatik.fh-augsburg.de`

USB-TPLE  
Andreas Müller  
Hochschule Augsburg  
`sta.informatik.fh-augsburg.de`  
`andreas.mueller@hs-augsburg.de`

# USB-TPLE

Andreas Müller, HS-Augsburg  
Prof. Dr. Hubert Högl, HS-Augsburg



Ein universelles, rekonfigurierbares  
und freies USB Gerät, zur Timing-,  
Protokoll-, Logik- und  
Eventanalyse von digitalen  
Signalen

## Übersicht

USB-TPL steht für ein universelles, rekonfigurierbares und freies USB Gerät, zur Timing-, Protokoll-, Logik- und Eventanalyse von digitalen Signalen. Es wird derzeit im Zuge einer Bachelorarbeit von Andreas Müller unter Leitung von Prof. Dr. Huber Högl an der Hochschule Augsburg entwickelt.

Hauptaufgabe des Projektes ist es, exakte Timinganalysen an Mikrocontrollern oder ähnlichem durchzuführen. So kann zum Beispiel die Dauer eines Prozesses extern gemessen werden, ohne dass durch die Messung die Laufzeit beeinflusst wird.

Kerstück des Systems ist ein konfigurierbarer Logikbaustein (CPLD) der Firma Altera, sowie ein Mikrocontroller der Firma Atmel mit USB Anbindung.

Das gesamte Projekt, sowohl Hard- als auch Software, ist im Sinne von Open-Source frei verfügbar und kann unter der URL

<http://sta.informatik.th-augsburg.de>

abgerufen werden. Auch ein SVN Repository mit TRAC ist unter dieser Adresse verfügbar.

## Funktionen

Hauptfunktion ist, wie oben beschrieben, die Timinganalyse an Mikrocontrollern. Dazu wird zum Beispiel zu Beginn und zum Ende eines Prozesses ein Assemblerbefehl gesetzt, welcher einen Impuls auf einem IO Port des Mikrocontrollers ausgibt. Der Zeitpunkt des Impulses kann durch das Gerät auf bis zu 0,1 Mikrosekunden genau aufgezeichnet werden.

Aufgrund der komplett freien Konfigurierbarkeit der Hardware sind jedoch auch weitere Anwendungen wie Protokoll- und Logikanalyse sowie auch ein Logikgenerator implementierbar.

## Hardware

Beim Hardwaredesign wurde hauptsächlich darauf geachtet, dass nur Bauelemente verwendet wurden, welche frei verfügbar und erschwinglich sind. Im Vordergrund stand auch ein kompakter Aufbau und die Möglichkeit der Stromversorgung sowohl über USB als auch über ein externes Netzteil. Beim aktuellen Prototypen sind auch alle Programmierschnittstellen der IC's nach aussen geführt.

### Platinendesign

Das Platinendesign ist wie das gesamte Projekt als Open Source verfügbar. Alle Schaltpläne und PCB-Designs wurden mit der Software EAGLE von Cadsoft erstellt.

Nachfolgend sind alle Eigenschaften des Platinendesigns aufgelistet.

- Größtenteils SMD Bauweise
- 2 Schichtiges Layout
- Stromversorgung über Jumper einstellbar (USB/ext.)
- Messspannung wählbar (3.3V/5.0V)

### Prozessor

Als CPU kommt ein Mikrocontroller der Firma Atmel zum Einsatz. Der ATMEGA32U4 ist ein Controller der 8-bit AVR Serie mit den folgenden Eigenschaften.

- 32KB Flashspeicher
- 2.5KB RAM
- Integrierte USB Schnittstelle
- Bootloader (konfigurierbar über USB)

Die Software für den Mikrocontroller ist hauptsächlich in C geschrieben. Er ist über einen 4-bit breiten, synchronen Datenbus mit dem Logikbaustein verbunden.

## CPLD

Als Logikbaustein wird ein Low-Cost CPLD der Firma Altera verwendet. Der CPLD der MAX II Serie ist mit 100MHz getaktet und über einen 16-bit breiten Datenbus mit einem externen, schnellen RAM verbunden. Als Hardwarebeschreibungssprache kommt VHDL zum Einsatz und als Synthesetool wird das kostenlose Quartus II der Herstellerfirma verwendet.

- 240 Logikzellen
- Konfigurierbar über JTAG oder direkt durch den Mikrocontroller
- 8K integrierter UFM
- 24 IO Ports für Messungen verfügbar

### Sonstiges

Weitere verwendete Bauelemente sind zum Beispiel die Bustreiber, welche es ermöglichen sowohl 3.3V als auch 5V Bausteine zu analysieren. Auch dienen die Bustreiber als Schutz des CPLD. Als Speicher kommen zwei 256K\*16 Bausteine zum Einsatz. Dadurch können bis zu 512.000 Events aufgezeichnet und weiterverarbeitet werden.

## Software

Gesteuert werden kann das System mit jedem beliebigen Terminalprogramm über einen virtuellen COM Port. Dazu werden AT-ähnliche Befehle an den Mikrocontroller geschickt. Als Speicherformat wird das Value-Change-Dump Format verwendet. Dieses ASCII-basierende Format für Logiksignale hat den Vorteil, dass es zum einen problemlos über ein Terminal genutzt werden kann, zum anderen kann das Open-Source Programm GTK-WAVE mit diesem Dateiformat umgehen.